

(54) MOUNTING SYSTEM OF SEMICONDUCTOR DEVICE

(11) 2-28990 (A) (43) 31.1.1990 (19) JP

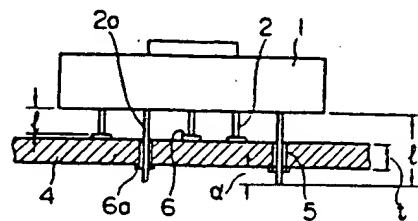
(21) Appl. No. 63-178117 (22) 19.7.1988

(71) SEIKO EPSON CORP (72) HIROSHI NAKANE(1)

(51) Int. Cl.³ H05K1/18

PURPOSE: To enable double-sided mounting, and to facilitate positioning by constituting two of lead pins in size longer than other lead pins, forming first wiring patterns in response to other lead pins, shaping second wiring patterns onto the other surface in response to the long-sized lead pins and forming through-holes to the second wiring patterns.

CONSTITUTION: At least two lead pins 2a are made longer than other lead pins 2 as four at four corners or two at diagonal corners. When the length of one lead pins 2 is represented by (l), the length l_1 of the pins 2a is shown in $p/l_1 = l + t + \alpha$ (t represents the thickness of a wiring board 4 and α projecting length from the wiring board 4). The short-sized lead pins 2 are abutted against wiring patterns 6 and positioning in the vertical direction is conducted, and positioning in the before and behind and left and right directions is performed by the long-sized lead pins 2a inserted into through-holes 5. The short-sized lead pins 2 are soldered to the corresponding wiring patterns 6 of one surface of the wiring board 4 and the long-sized lead pins 2a to the wiring patterns 6a of the other surface through a reflow, thus mounting a device 1 at a correct location on the board 4.



x 83

x combined

⑬ Int.Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)1月31日

H 05 K 1/18

H

6736-5E

審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 半導体装置の実装方式

⑯ 特 願 昭63-178117

⑰ 出 願 昭63(1988)7月19日

⑱ 発 明 者 中 根

宏

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

⑲ 発 明 者 丸 茂

修 一

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

⑳ 出 願 人

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

㉑ 代 理 人

弁理士 佐々木 宗治

外2名

明 細 書

1. 発明の名称

半導体装置の実装方式

2. 特許請求の範囲

下面に多数のリードピンを配設した半導体装置を配線基板に実装するものにおいて、

前記リードピンのうち少なくとも2本を他のリードピンより長く構成し、前記配線基板の一方の面に前記他のリードピンに対応して第1の配線パターンを形成すると共に、他方の面に前記長いリードピンに対応して第2の配線パターンを形成し、該第2の配線パターンにスルーホールを設けたことを特徴とする半導体装置の実装方式。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、下面にリードピンをマトリックス状に配列したピングリッドアレイと呼ばれる半導体装置の実装方式に関するものである。

〔従来の技術〕

近時、電子機器の小型化、薄形化等の要請と、

高性能化、多様化によるI/O端子の増大に伴って、半導体装置は益々多端子化しており、例えば、外径28mm×28mm、厚さ3.6mmの半導体装置において、端子の数は160本、各端子の幅は300μm、各端子の間隔が650μm程度のものが使用されている。そして、配線基板への実装時には、これら微細な各端子を配線基板に設けた微細な配線パターンにそれぞれ接続しなければならないので、各端子のX、Y、Z方向の位置管理が厳しい精度で要求される。このようなことからパッケージの四方に端子を設ける方式の半導体装置においては、端子の数の増大は限界に近づきつつあるが、半導体装置の端子数は今後益々増加し、近い将来において400～600本以上に達するものとみられている。

このような半導体装置の多端子化に対応するため、最近では第3図に示すように、半導体装置1の下面にリードピン2をマトリックス状に配列したピングリッドアレイ(PGA)と呼ばれる半導体装置(以下単に半導体装置という)が実用化されている。

この半導体装置は、従来、第4図に示すように配線基板4の配線パターン6に、リードピン2に対応してそれぞれスルーホール5を設け、一部のリードピン2に位置決め用ストッパ3を設けて各リードピン2をスルーホール5に差込み、はんだディップ等によりリードピン2を配線パターン6にはんだ着けして配線基板4に取付けていた。

また、第5図に示すように、配線基板4にスルーホールを設けず、配線基板4に設けた配線パターン6上に半導体装置1のリードピン2を搭載し、リフロー等によりはんだ付けする表面実装も行なわれている。

【発明が解決しようとする課題】

最近、半導体装置や電子部品を配線基板に高密度で実装するため、これらを配線基板の両面に取付ける両面実装方式が進められているが、前記従来の実装方式では、リードピン2はいずれも配線基板4の一方の面の配線パターン6とだけしか接続できず、若し他方の面に設けた配線パターンにリードピン2を接続しようとする場合は、両面

の配線パターンを導線によって接続しなければならず、構造が複雑になるばかりでなく、コストアップの原因にもなっていた。

また、第4図の例においてはリードピン2が他方の面へ突出しているため、この面に配線パターンを形成する場合や電子部品を取付ける場合の障害になっていた。さらに第5図の例においては、リードピン2の位置決めが面倒であるばかりでなく、リードピン2は配線パターン6に単にはんだ付けしただけなので不安定であり、輸送中や振動・衝撃等により半導体装置1が脱落するおそれもある。

本発明は、上記の課題を解決すべくなされたもので、配線基板の両面実装が可能であり、しかも位置決めが容易で安定して配線基板に取付けることのできる半導体装置の実装方式を実現することを目的としたものである。

【課題を解決するための手段】

本発明に係る半導体装置の実装方式は、リードピンのうち少なくとも2本を他のリードピンより

長く構成し、配線基板の一方の面に前記他のリードピンに対応して第1の配線パターンを形成すると共に、他方の面に長いリードピンに対応して第2の配線パターンを形成し、この第2の配線パターンにスルーホールを設けたものである。

【作用】

長いリードピンをスルーホールに挿入することにより、前後左右の位置決めがなされ、他のリードピンが第1の配線パターンに当接することにより上下方向の位置決めが行なわれる。ついで、各リードピンをそれぞれ第1、第2の配線パターンにはんだ付けする。

【発明の実施例】

第1図は本発明実施例の模式図である。なお、前述の従来例と同一又は相当部分には同じ符号を付し、説明を省略する。本発明においては、半導体装置1の下面に設けた多数のリードピン2のうち、例えば四隅の4本あるいは対角隅の2本の如く、少なくとも2本のリードピン2aを他のリードピン2より長く形成したものである。即ち、他

方のリードピン2の長さを l とすれば、このリードピン2aの長さ l_1 を、 $l_1 = l + t + \alpha$ （但し、 t は配線基板4の厚さ、 α は配線基板4からの突出長さ）とする。

また、配線基板4の一方の面に、短かいリードピン2に対応してそれぞれ配線パターン6を形成すると共に、他方の面の長いリードピン2aに対応した位置に配線パターン6aを形成し、この配線パターン6aにスルーホール5を設けたものである。

上記のように構成した本発明により、半導体装置1を配線基板4に実装するには、各配線パターン6、6aの表面にはんだクリーム等を塗布（印刷）したのち、長いリードピン2aをスルーホール5に挿入して半導体装置1を配線基板4上に搭載する。このとき、短かいリードピン2が配線パターン6に当接して上下方向の位置決めがなされ、スルーホール5に挿入された長いリードピン2aによって前後左右の位置決めが行なわれる。ついで、例えばリフロー装置によってリフローすれば、

短かいリードピン2の面の配線パターン6に、半導体装置1を実装される。

この場合、第1の集積回路パターン6aの位置決め機能及び配線パターン6aを満足することを考慮する。

第2図は、実施例において、リードピン2で、作用効る。

上記の説本設ける場ばよく、集

リードピン2aの長さ l_1 を、 $l_1 = l + t + \alpha$ （但し、 t は配線基板4の厚さ、 α は配線基板4からの突出長さ）とする。

また、配線基板4の一方の面に、短かいリードピン2に対応してそれぞれ配線パターン6を形成すると共に、他方の面の長いリードピン2aに対応した位置に配線パターン6aを形成し、この配線パターン6aにスルーホール5を設けたものである。

上記のように構成した本発明により、半導体装置1を配線基板4に実装するには、各配線パターン6、6aの表面にはんだクリーム等を塗布（印刷）したのち、長いリードピン2aをスルーホール5に挿入して半導体装置1を配線基板4上に搭載する。このとき、短かいリードピン2が配線パターン6に当接して上下方向の位置決めがなされ、スルーホール5に挿入された長いリードピン2aによって前後左右の位置決めが行なわれる。ついで、例えばリフロー装置によってリフローすれば、

(本) 00085-97 図1

短かいリードピン2は配線基板4の一方の面の配線パターン6に、長い方のリードピン2aは他方の面の配線パターン6aにそれぞれはんだ付けされ、半導体装置1は配線基板4上の正しい位置に実装される。

この場合、長いリードピン2aは、半導体装置1の集積回路を配線基板4の他方の面に設けた配線パターン6aに接続する機能を有すると共に、位置決め機能も有するので、集積回路、パッケージ及び配線基板の設計にあたっては、これらの機能を満足するように、長いリードピン2aの位置を考慮する必要がある。

第2図は本発明の他の実施例の模式図で、本実施例においては長いリードピン2bを他の短かいリードピン2より太く形成して剛性を高めたもので、作用効果は第1図の実施例の場合と同様である。

上記の説明では、長いリードピンを2本又は4本設ける場合について示したが、2本以上であればよく、集積回路の設計に応じて適宜増減すること

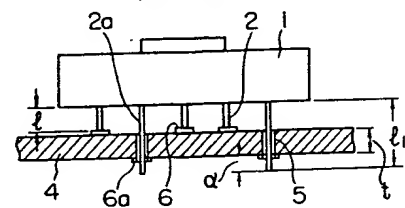
とができる。また他方の面の配線パターンに接続するリードピンが1本でよい場合は、別に1本又はそれ以上の位置決め専用のダミーピンを設ければよい。

〔発明の効果〕

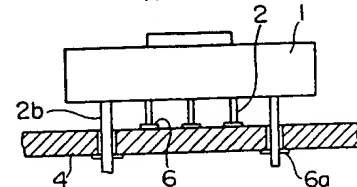
以上の説明から明らかなように、本発明は半導体装置のリードピンの一部を他のリードピンより長く構成し、また配線基板の一方の面に短かいリードピンに対応して配線パターンを形成すると共に、他方の面に長いリードピンに対応して配線パターンを形成し、この配線パターンにスルーホールを設け、このスルーホールをガイドとして長いリードピンを挿入し、半導体装置を配線基板に実装するようにしたので、半導体装置の集積回路を配線基板の両面に設けた配線パターンに直接接続することができ、両面実装による高密度実装が可能になった。

また、半導体装置は、長いリードピンによりスルーホールをガイドとして配線基板に搭載されるので位置決めが容易になるばかりでなく、長短の

第1図



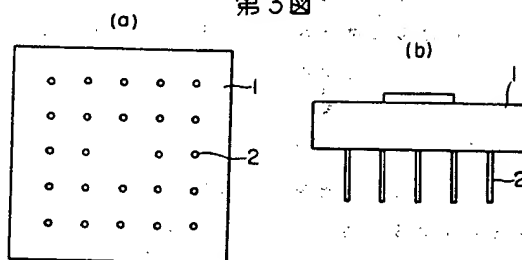
第2図



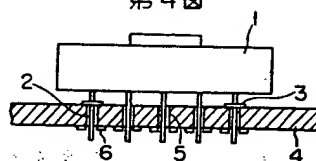
- 1: 半導体装置
- 2: リードピン
- 2a, 2b: 長いリードピン
- 4: 配線基板
- 5: スルーホール
- 6, 6a: 配線パターン

代理人 弁理士 佐々木 宗治

第3圖



第4圖



第5圖

